


PROGRAM DEBUGGING SYSTEM

Patent Number: JP3266140
Publication date: 1991-11-27
Inventor(s): MURAKAMI KENICHI
Applicant(s):: NEC CORP
Requested Patent:  JP3266140
Application Number: JP19900066542 19900316
Priority Number(s):
IPC Classification: G06F11/28
EC Classification:
Equivalents:

Abstract

PURPOSE:To improve the efficiency of debugging by displaying an address in trace message, which displays the execution process of a program by deciding a loop by utilizing a branch instruction interrupt, in the form wherein the address is converted into a module name and an in-module relative address.

CONSTITUTION:When the interrupt is initiated and a before-branch address and an after-branch address are reported from a branch instruction interrupting mechanism 30, the contents of a before-branch address 5B and an after-branch address 5A in a loop decision information storage part 5 are compared with each other. When the decision result indicates a loop, the contents of the loop frequency 5L in the loop decision information part 5 are added by a loop frequency arithmetic part 22. When the result indicates a no-loop state or loop exit state, on the other hand, the trace message is displayed on a display device 7 by a trace message display part 24, the reported before-branch address and after-branch address are stored newly as the before-branch address 5B and after-branch address 5A in the loop decision information storage part 5, and the loop frequency 5L is initialized to 0. Consequently, the debugging efficiency is improved.

Data supplied from the esp@cenet database - I2

⑩ 日本国 許庁(JP)

特許出願公開

⑨ 公開特許公報(A) 平3-266140

⑪ Int.Cl.¹

識別記号

庁内整理番号

⑫ 公開 平成3年(1991)11月27日

G 06 F 11/28

3 1 0 E

7165-5B

審査請求 未請求 請求項の数 1 (全5頁)

⑬ 発明の名称 プログラムデバッグ方式

⑭ 特 願 平2-66542

⑮ 出 願 平2(1990)3月16日

⑯ 発 明 者 村 上 健 一 東京都港区芝5丁目33番1号 日本電気株式会社内

⑰ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑱ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

プログラムデバッグ方式

2. 特許請求の範囲

1. プログラムを構成する全モジュールのモジュール名と、絶対アドレスで示される先頭アドレスおよび終了アドレスを含むモジュール制御情報を保持するモジュール制御情報記憶手段と、

該モジュール制御情報記憶手段に保持されているモジュール制御情報を参照して絶対アドレスをモジュール名とモジュール内相対アドレスとに変換するアドレス変換手段と、

分岐命令割込みモード設定/解除手段と、

分岐命令割込みモードが設定されると、分岐命令の実行により、分岐命令自身のアドレスである分岐前アドレスと分岐命令の分岐先アドレスである分岐後アドレスを保持して、分岐後アドレスで内部割込みを発生する分岐命令割込み手段と、

前記分岐前アドレスと前記分岐後アドレスとループ回数とをループ判定情報として記憶する

ループ判定情報記憶手段と、

前記ループ回数を積算するループ回数演算手段と、

前記ループ判定情報記憶手段内のループ判定情報を、分岐前および分岐後アドレスはアドレス変換手段によってモジュール名とモジュール内相対アドレスに変換した後、編集し、表示装置に表示するトレースメッセージ表示手段と、

分岐命令割込みモードが設定されると、デバッグ対象プログラムが起動される前に前記ループ判定情報記憶手段の分岐前アドレス、分岐後アドレスおよびループ回数を初期化し、その後、デバッグ対象プログラムが起動され分岐命令割込み手段によって内部割込みが発生すると、その時に通知された分岐前アドレスと分岐後アドレスを、最初の割込みであれば、該分岐前アドレスと分岐後アドレスをループ判定情報記憶手段に記憶し、最初の割込みでなければ、該分岐前アドレスと分岐後アドレスをループ判定情報記憶手段に記憶されている分岐前アドレス、分岐後アドレスとそれぞれ

比較してループ判定を行い、ループ のときはループ回数演算手段によりループ判定情報記憶手段内

ループ回数を+1し、非ループまたはループ離脱のときはトレースメッセージ表示手段により前記ループ判定情報記憶手段内のループ判定情報を表示装置に表示させ、分岐命令割込み手段から通知された分岐前アドレスと分岐後アドレスを前記ループ判定情報記憶手段に新たに記憶するとともに、ループ回数をゼロで初期化するループ判定制御手段とを有するプログラムデバッグ方式。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は情報処理装置におけるプログラムデバッグ方式に関し、特にプログラムの実行過程を確認する方式に関する。

〔従来の技術〕

従来、この種のプログラムデバッグ方式では、プログラムの要所要所にブレークポイント（一時中断点）を設定しておき、ブレークポイントでの内部割込みの発生により、プログラムの実行過程

を確認するようになっていた。

〔発明が解決しようとする課題〕

上述した、ブレークポイントを利用してプログラムの実行過程を確認する方法は、プログラムの流れを予想しながら、ブレークポイントを逐次設定する必要があり、予想が外れると、ブレークポイントで中断しないので、途中の実行過程が分からなくなり、再度、最初からやり直す必要があるため、デバッグ効率が低下するという欠点がある。

本発明の目的は、効率のよいプログラムデバッグ方式を提供することである。

〔課題を解決するための手段〕

本発明のプログラムデバッグ方式は、

プログラムを構成する全モジュールのモジュール名と、絶対アドレスで示される先頭アドレスおよび終了アドレスとを含むモジュール制御情報を保持するモジュール制御情報記憶手段と、

該モジュール制御情報記憶手段に保持されているモジュール制御情報を参照して絶対アドレスをモジュール名とモジュール内相対アドレスとに変

換するアドレス変換手段と、

分岐命令割込みモード設定／解除手段と、

分岐命令割込みモードが設定されると、分岐命令の実行により、分岐命令自身のアドレスである分岐前アドレスと分岐命令の分岐先アドレスである分岐後アドレスを保持して、分岐後アドレスで内部割込みを発生する分岐命令割込み手段と、

前記分岐前アドレスと前記分岐後アドレスとループ回数とをループ判定情報として記憶するループ判定情報記憶手段と、

前記ループ回数を演算するループ回数演算手段と、

前記ループ判定情報記憶手段内のループ判定情報を、分岐アドレスはアドレス変換手段によってモジュール名とモジュール内相対アドレスに変換した後、編集し、表示装置に表示するトレースメッセージ表示手段と、

分岐命令割込みモードが設定されると、デバッグ対象プログラムが起動される前に前記ループ判定情報記憶手段の分岐前アドレス、分岐後アドレ

スおよびループ回数を初期化し、その後、デバッグ対象プログラムが起動され分岐命令割込み手段によって内部割込みが発生すると、その時に通知された分岐前アドレスと分岐後アドレスを、最初の割込みであれば、該分岐前アドレスと分岐後アドレスをループ判定情報記憶手段に記憶し、最初の割込みでなければ、該分岐前アドレスと分岐後アドレスをループ判定情報記憶手段に記憶されている分岐前アドレス、分岐後アドレスとそれぞれ比較してループ判定を行い、ループのときはループ回数演算手段によりループ判定情報記憶手段内のループ回数を+1し、非ループまたはループ離脱のときはトレースメッセージ表示手段により前記ループ判定情報記憶手段内のループ判定情報を表示装置に表示させ、分岐命令割込み手段から通知された分岐前アドレスと分岐後アドレスを前記ループ判定情報記憶手段に新たに記憶するとともに、ループ回数をゼロで初期化するループ判定制御手段とを有する。

〔作 用〕

デバッグ対象プログラムに含まれる分岐命令が実行されると内部割込みが発生し、その分岐前後

アドレスと、直前の内部割込みにおける分岐前後のアドレスとを比較してループ判定を行い、ループのときはその回数を演算し、ループでなくなった都度、その直前の内部割込みにおける分岐前後のアドレスとそれまで演算されたループ回数をトレースメッセージとして表示するのでプログラムの実行過程を効率よく確認できる。なお、トレースメッセージの表示はバグの発見および除去作業の便をはかり、分岐前後のアドレスはモジュール名とモジュール内相対アドレスに変換したものが表示される。

【実施例】

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明のプログラムデバッグ方式が適用された情報処理装置の構成図、第2図は第1図中の表示装置に表示されるトレースメッセージを示す図である。

ス(S1, S2, ..., Sn番地)と、モジュール41, 42, ..., 4nの終了アドレス(E1, E2, ..., En番地)とがモジュール制御情報として登録されている。アドレス変換手段であるアドレス変換部23はモジュール制御情報記憶部6に保持されているモジュール制御情報を参照して絶対アドレスをモジュール名とモジュール内相対アドレスに変換する。入力装置1には分岐命令割込みモード設定・解除のキー(分岐命令割込みモード設定・解除手段)が設けられている。入力情報解析部20は入力装置1からの情報を分析し、分岐命令割込みモード設定情報が入力されると、この旨をループ判定制御部21(ループ判定制御手段)に通知する。分岐命令割込み機構30(分岐命令割込み手段)は、ループ判定制御部21から、分岐命令割込みモードが設定されたことを通知されると、起動され、分岐命令の実行により主記憶装置4内のモジュールの、分岐命令自身のアドレスである分岐前アドレスと分岐命令の分岐先アドレスである分岐後アドレス

本実施例の情報処理装置は、入力装置1(キーボード)と、入力情報解析部20、ループ判定制御部21、ループ回数演算部22、アドレス変換部23、トレースメッセージ表示部24を含むプログラム実行軌跡表示装置2と、分岐命令割込み機構30を含む中央処理装置3と、主記憶装置4と、ループ判定情報記憶部5と、モジュール制御情報記憶部6と、表示装置7(CRT)とから構成されている。

主記憶装置4にはモジュール41, 42, ..., 4nとから構成されるデバッグ対象プログラムが格納されている。各モジュール41, 42, ..., 4nの先頭アドレスはそれぞれS1, S2, ..., Sn番地であり、また終了アドレスはそれぞれE1, E2, ..., En番地である。モジュール制御情報記憶手段であるモジュール制御情報記憶部6には、モジュール41, 42, ..., 4nのモジュール名(aaaa, bbbbb, ..., nnnnn)と、モジュール41, 42, ..., 4nの先頭アドレ

スを保持してループ判定制御部21に分岐後アドレスで内部割込みが発生する。ループ判定制御部21は、入力情報解析部20から分岐命令割込み設定情報が入力されたことを通知されると、分岐命令割込み機構30を起動し、ループ判定情報記憶部5内の分岐前アドレス5Bと分岐後アドレス5Aとループ回数5Lとをゼロで初期化し、この後、主記憶装置4内のデバッグ対象プログラムが起動され、そのプログラム中の分岐命令の実行による割込みが発生し、分岐命令割込み機構30から分岐前アドレスと分岐後アドレスとが通知されると、ループ判定情報記憶部5内の分岐前アドレス5Bと分岐後アドレス5Aとの内容と比較し(分岐前アドレス同士、分岐後アドレス同士で比較する)ループ判定を行い、判定結果が、ループ(分岐前アドレス同士および分岐後アドレス同士がそれぞれ一致)のときには、ループ判定情報記憶部5内のループ回数5Lの内容をループ回数演算部22によって加算し、逆に、非ループまたはループ脱(分岐前アドレス同士あるいは分岐後アド

レス両士のどちらか一方の値または両方の値が不一致) のときには、ループ判定情報記憶部5内の分岐前アドレス5Bと分岐後アドレス5Aとループ回数5Lとの内容を含む(この内分岐前アドレス5Bと分岐後アドレス5Aの内容は、アドレス変換部23によってモジュール名とモジュール内相対アドレスに変換されたもの)トレースメッセージをトレースメッセージ表示部24によって表示装置7に表示し、分岐命令割込機構30から通知された分岐前アドレスと分岐後アドレスとをそれぞれループ判定情報記憶部5内の分岐前アドレス5Bと分岐後アドレス5Aとして新たに記憶するとともにループ回数5Lをゼロで初期化する。

なお、ループ判定情報記憶部5の分岐前アドレス5Bと分岐後アドレス5Aがともにゼロで初期化されている最初の分岐命令割込み時には、分岐命令割込機構30から通知された分岐前アドレスと分岐後アドレスをそれぞれ分岐前アドレス5Bと分岐後アドレス5Aとして記憶するだけであ

る。

以上動作を行った後、同じくループ判定制御部21は、分岐後アドレスからの実行再開を分岐命令割込機構30に指示し、次の分岐命令割込み待ちとなる。

トレースメッセージに表示される分岐前アドレスは、モジュール名とモジュール内相対アドレスとに変換されるが、この変換を行うアドレス変換部23の処理について、絶対アドレス1234番地を変換する場合を例に挙げて説明する。このとき、仮に、モジュール41の先頭アドレスS1が1000番地で、モジュール42の先頭アドレスS2が1500番地であるとする。モジュール制御情報記憶部6内の先頭アドレスS1、S2、...、Snと終了アドレスE1、E2、...、Enとを参照して、絶対アドレス1234番地を含むモジュール41のモジュール名aaaaaを得、モジュール内相対アドレス234番地(=1234-S1)を演算する。そして、トレースメッセージには絶対アドレス1234番地

の代りとして、aaaaa 234が表示されることになる。

【発明の効果】

以上説明したように本発明は、分岐命令割込みを利用するとともにループ判定を行って、プログラムの実行過程をトレースメッセージとして表示し、さらにトレースメッセージ中のアドレスはモジュール名とモジュール内相対アドレスとに変換した形式で表示することにより、以下に示す効果がある。

- ① ブレークポイントが不要になり、したがって、ブレークポイント設定の手操作がなくなるため、デバッグ効率が向上する。
- ② トレースメッセージは、以下のように表示回数が少なくて済む。
 - 命令 でなく分岐命令による分岐実行毎にトレースメッセージが表示される。
 - ループ判定手段によって、ループ箇所は一回の表示で済む。

- ③ モジュール名とモジュール内相対アドレス表示によって、リンクによって出力されるアドレスマップからモジュールの先頭アドレスを捜した後、モジュール内相対アドレスを入手によって計算する必要がなくなる(手間がかからなくなり、計算ミスの心配もない)。

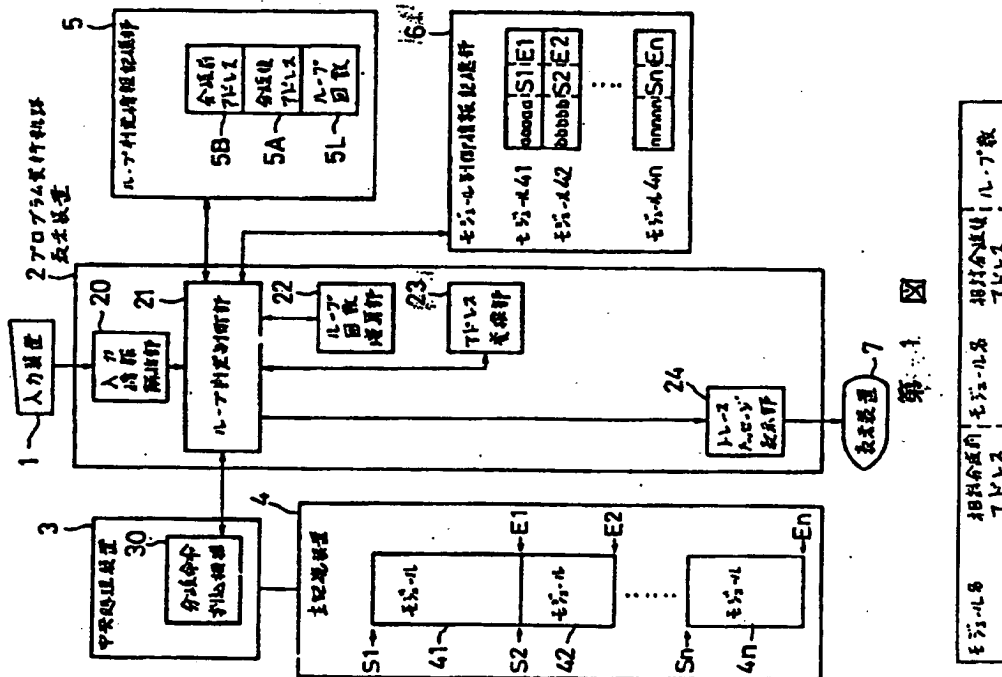
4. 図面の簡単な説明

第1図は本発明のプログラムデバッグ方式が適用された情報処理装置の一実施例を示すブロック図、第2図は第1図中の表示装置7に表示されるトレースメッセージを示す図である。

- 1...入力装置、
- 2...プログラム実行軌跡表示装置、
- 3...中央処理装置、4...主記憶装置、
- 5...ループ判定情報記憶部、
- 6...モジュール制御情報記憶部、
- 7...表示装置、
- 20...入力情報解析部、
- 21...ループ判定制御部、

- 22・・・ループ回数演算部、
- 23・・・アドレス変換部、
- 24・・・トレースメッセージ表示部、
- 30・・・分岐命令割込機構。

特許出願人 日本電気株式会社
代理人 弁護士 内原 晋



第 1 図

第 2 図